

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

010056098 A

(43) Date of publication of application:

04.07.2001

(21) Application number: 990057520

(71) Applicant:

HYNIX SEMICONDUCTOR
INC.

(22) Date of filing: 14.12.1999

(72) Inventor:

OH, GI YEONG
YOON, JONG HO

(51) Int. Cl

H01L 21/24

(54) ALLOY ELECTRODE IN CAPACITOR AND METHOD FOR FORMING THE SAME

(57) Abstract:

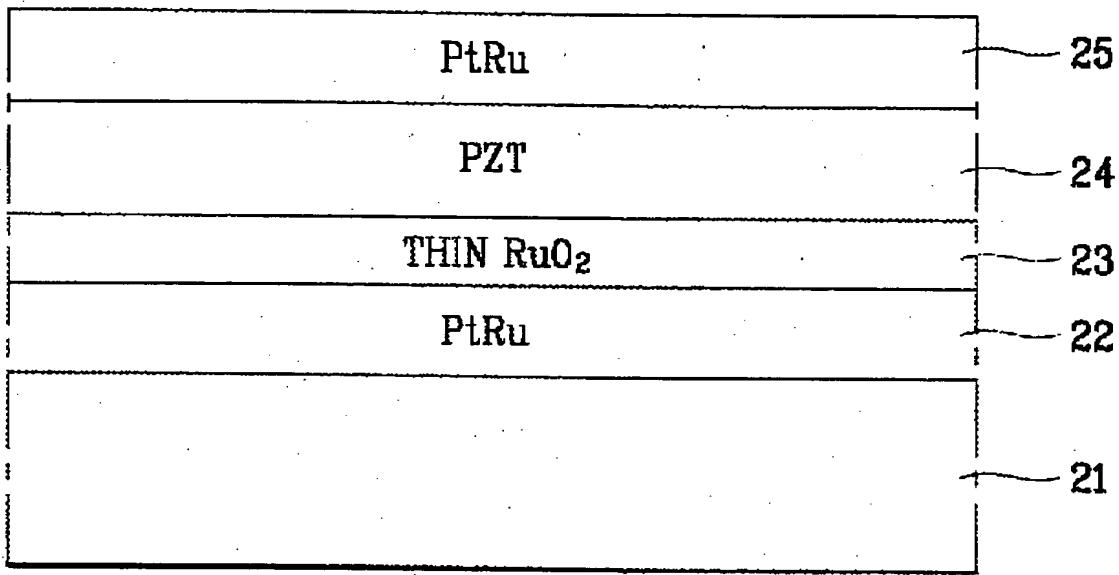
PURPOSE: An alloy electrode in a capacitor is provided to prevent oxidization of a barrier layer and degradation of a dielectric thin film using an alloy electrode without using metal and conductive oxide.

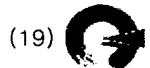
CONSTITUTION: An alloy electrode in a capacitor includes a lower alloy electrode layer(22) consisting of a PtPu alloy layer on a semiconductor substrate (21). A surface oxide layer(23) functions as a barrier layer and consists of a RuO₂ layer on the lower alloy electrode layer(22). A BST dielectric thin film layer (24) is formed on the surface oxide layer(23). An upper alloy electrode layer(25) consists of a PtRu alloy layer formed on the dielectric thin film layer(24).

COPYRIGHT 2001 KIPO

Legal Status

Final disposal of an application (application)





(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

010056098 A

(43) Date of publication of application:

04.07.2001

(21) Application number: 990057520

(71) Applicant:

HYNIX SEMICONDUCTOR
INC.

(22) Date of filing: 14.12.1999

(72) Inventor:

OH, GI YEONG
YOON, JONG HO

(51) Int. Cl

H01L 21/24

(54) ALLOY ELECTRODE IN CAPACITOR AND METHOD FOR FORMING THE SAME

(57) Abstract:

PURPOSE: An alloy electrode in a capacitor is provided to prevent oxidization of a barrier layer and degradation of a dielectric thin film using an alloy electrode without using metal and conductive oxide.

CONSTITUTION: An alloy electrode in a capacitor includes a lower alloy electrode layer(22) consisting of a PtPu alloy layer on a semiconductor substrate (21). A surface oxide layer(23) functions as a barrier layer and consists of a RuO₂ layer on the lower alloy electrode layer(22). A BST dielectric thin film layer (24) is formed on the surface oxide layer(23). An upper alloy electrode layer(25) consists of a PtRu alloy layer formed on the dielectric thin film layer(24).

COPYRIGHT 2001 KIPO

Legal Status

Final disposal of an application (application)

특 2001-0056098

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 21/24(11) 공개번호 특 2001-0056098
(43) 공개일자 2001년 07월 04일

(21) 출원번호	10-1999-0057520
(22) 출원일자	1999년 12월 14일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 마미리 산136-1
(72) 발명자	윤증호 충청북도 청주시 상당구 용암동 협석아파트 104-1006 오기영 충청북도 청주시 흥덕구 가경동 진로아파트 104-1002
(74) 대리인	강용복, 김용민

설사첨구 : 예를(54) 커파시터의 합금 전극 및 그의 형성 방법**요약**

본 발명은 금속 및 전도성 산화물을 사용하지 않고 합금 전극을 사용하여 베리어층의 산화 및 유전 박막의 열화를 방지한 커파시터의 합금 전극 및 그의 형성 방법에 관한 것으로, 그 구조는 반도체 기판; 상기 반도체 기판상에 후속되는 유전 박막 증착시에 자동으로 산화되는 금속 물질을 포함하는 금속 합금으로 이루어진 하부 합금 전극층; 상기 하부 합금 전극층을 구성하는 금속 물질 하나가 유전 박막 증착시에 산화되어 그 표면에 형성되는 표면 산화층; 상기 표면 산화층상에 형성되는 유전 박막층; 상기 유전 박막층상에 상기 하부 합금 전극층과 동일 물질로 형성되는 상부 합금 전극층을 포함하여 구성된다.

D1 표도**D2****설명이**

커파시터, 합금전극

도면**도면의 간접적 설명**

도 1a내지 도 1b는 증래 기술의 반도체 소자의 커파시터의 구조 단면도
 도 2는 본 발명에 따른 합금 전극을 갖는 커파시터의 구조 단면도
 도 3은 본 발명에 따른 합금 전극을 갖는 커파시터의 단면 및 표면 SEM 사진
 도 4a내지 도 4d는 합금 전극을 갖는 커파시터의 AES 깊이 프로파일
 도 5a와 도 5b는 BST 박막 시편에 대한 XPS 산소 성분의 깊이 프로파일
 도면의 주요 부분에 대한 부호의 설명
 21. 반도체 기판 22. 하부 합금 전극층
 23. 표면 산화층 24. 유전 박막층
 25. 상부 합금 전극층

설명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자에 관한 것으로, 특히 금속 및 전도성 산화물을 사용하지 않고 합금 전극을 사용하여 베리어층의 산화 및 유전 박막의 열화를 방지한 커파시터의 합금 전극 및 그의 형성 방법에 관한 것이다.

이하, 첨부된 도면을 참고하여 증래 기술의 반도체 소자의 커패시터에 관하여 설명하면 다음과 같다.

도 1a~1d는 증래 기술의 반도체 소자의 커패시터의 구조 단면도이다.

증래 기술의 BST 또는 PZT등의 강유전체를 사용하는 커패시터 모듈에서 전극 률질로는 Pt, Ir, IrO_x, Ru, RuO_x등이 단독으로 사용되거나 두가지 이상 조합되어 사용된다.

이중에 가장 많이 사용되는 전극 률질은 Pt이다.

먼저, 도 1a는 반도체 기판(1)상에 적층되는 RuO_x층으로 이루어진 하부 전극층(2), 얇은 Pt층으로 이루어진 베리어층(3)과, 베리어층(3)상에 형성되는 BST 또는 PZT 유전 박막층(4)과, 유전 박막층(4)상에 형성되는 RuO_x층으로 이루어진 상부 전극층(5)으로 구성된다.

그리고 도 1b의 커패시터는 먼저, 반도체 기판(1)상에 Pt로 형성되는 하부 전극층(2)과, 하부 전극층(2)상에 얇은 RuO_x층으로 형성되는 베리어층(3)과, 베리어층(3)상에 형성되는 BST 또는 PZT 유전 박막층(4)과, 상기 유전 박막층(4)상에 RuO_x층으로 형성되는 상부 전극(5)으로 구성된다.

도 1c와 도 1b와 반도체 기판은 도면에는 도시하지 않았지만, 셀 트랜지스터 및 상기 셀 트랜지스터의 한 쪽 전극에 콘택트되는 플러그층이 형성된 것이다.

이와 같은 구조를 갖는 증래 기술의 반도체 소자의 커패시터는 상, 하부 전극을 고용점 금속으로 형성하고 유전 박막으로 PZT, BST와 같은 강유전체를 사용하여 커패시턴스를 증대시킬 수 있다.

발명이 이루고자 하는 기술적 목표

그러나 이와 같은 증래 기술의 반도체 소자의 커패시터는 다음과 같은 문제가 있다.

먼저, Pt를 상, 하부 전극으로 사용하는 경우에는 BST 또는 PZT 증착시에 산화 분위기로 인해 하부의 베리어와 삼활 경우 플러그층까지 산화시켜 전류가 통하지 않고 단절되는 현상이 일어난다.

이러한 문제를 개선하기 위하여 베리어층의 종류를 다르게 적용하거나 성분을 바꾸는 방법이 제시되고 있으나 이 경우에는 공정의 복잡성을 유발할 수 있다.

또한, H₂ 포밍 가스 어닐(forming gas anneal)시에 H₂ 가스에 의한 유전 박막의 열화가 있다.

이와 같은 열화 현상은 H₂ 가스가 Pt 표면에서 Pt의 측매 역할로 수소 분자보다 반응성이 큰 수소 원자로 분해되어 내부로 확산하여 BST, PZT 박막을 열화시켜 발생하는 것이다.

본 발명은 이와 같은 증래 기술의 커패시터 전극의 문제를 해결하기 위한 것으로, 금속 및 전도성 산화물을 사용하지 않고 합금 전극을 사용하여 베리어층의 산화 및 유전 박막의 열화를 방지한 커패시터의 합금 전극 및 그의 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 따른 커패시터의 합금 전극은 반도체 기판; 상기 반도체 기판 상에 흐름되는 유전 박막 증착시에 자동으로 산화되는 금속 률질을 포함하는 금속 합금으로 이루어진 하부 합금 전극층; 상기 하부 합금 전극층을 구성하는 금속 률질 하나가 유전 박막 증착시에 산화되어 그 표면에 형성되는 표면 산화층; 상기 표면 산화층상에 형성되는 유전 박막층; 상기 유전 박막층상에 상기 하부 합금 전극층과 동일 률질로 형성되는 상부 합금 전극층을 포함하여 구성되는 것을 특징으로 하고, 본 발명에 따른 커패시터의 합금 전극 형성 방법은 반도체 기판상에 Ru가 30 ~ 50% 정도 포함된 PtRu 합금층을 하부 합금 전극층으로 형성하는 단계; 상기 하부 합금 전극층상에 BST 유전 박막층을 500 ~ 650°C 온도로 스피터링 공정으로 증착하여 하부 합금 전극층의 표면에 RuO_x층이 형성되도록 하는 단계; 상기 BST 유전 박막층상에 상부 합금 전극층으로 PtRu 합금층을 형성하고 표면만 산화시켜 H₂ 포밍 가스 어닐 공정시에 H₂ 가 BST 유전 박막층으로 침투하지 못하도록 하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 따른 커패시터 합금 전극 및 그의 형성 방법에 관하여 상세히 설명하면 다음과 같다.

도 2는 본 발명에 따른 합금 전극을 갖는 커패시터의 구조 단면도이다.

본 발명은 BST 커패시터를 제작하기 위한 것으로, 예를들면 Pt와 Ru 합금을 하부 전극 형성에 사용하여 BST 증착시에 높은 산화 분위기에서 Ru 성분이 RuO_x를 형성하여 산소가 하부 전극으로 확산되는 것을 막고, 상부 전극 형성시에도 포밍 가스 어닐 공정시에 H₂가 Pt 표면에 접하기 전에 H₂의 침투를 막아 BST의 열화를 방지할 수 있도록 것이다.

그 구조는 셀 트랜지스터 및 그의 한쪽 전극에 콘택트되는 플러그(도면에 도시하지 않음)를 포함하는 반도체 기판(21)상에 PtRu 합금층으로 이루어진 하부 합금 전극층(22), 상기 하부 합금 전극층(22)상에 얇은 RuO_x층으로 이루어져 베리어 역할을 하는 표면 산화층(23)과, 상기 표면 산화층(23)상에 형성되는 BST 유전 박막층(24)과, 상기 유전 박막층(24)상에 형성되는 PtRu 합금층으로 이루어진 상부 합금 전극층(25)으로 구성된다.

이와 같은 구조를 갖는 본 발명에 따른 커패시터의 합금 전극은 2가지 이상의 금속 률질로 이루어진 합금을 이용하고, 합금층을 이루는 금속 률질중의 하나는 산화 분위기에서 전도성 산화막을 형성하는 률질로 이루어진다.

그 률질로는 Ru이외에 Ir이 사용되고 전체 합금을 구성하는 률질의 30 ~ 50%정도의 비율로 포함된다. 이와 같은 구조를 갖는 커패시터 합금 전극의 형성 공정은 먼저, 반도체 기판(21)상에 Ru가 30 ~ 50% 정도 포함된 PtRu 합금층을 하부 합금 전극층(22)으로 형성하고 BST 유전 박막층(24)을 500 ~ 650°C 온도로 스팍터링 공정으로 증착한다.

이와 같은 BST 유전 박막층(24) 형성시에 하부 전극층(22)의 표면에 Ru가 산화되어 도전성 산화막 즉, 표면 산화층(23)이 동시에 생기도록 한다.

이어, 상기 BST 유전 박막층(24)상에 상부 합금 전극층(25)으로 PtRu 합금층을 형성하고 표면만 산화시킨 후 H₂ 포밍 가스 어닐 공정을 진행한다.

이와 같이 상부 합금 전극층(25)의 표면을 산화시키는 이유는 H₂ 포밍 가스 어닐 공정시에 H₂가 BST 유전 박막층(24)으로 침투하지 못하도록 하기 위한 것이다.

이와 같은 공정으로 형성된 본 발명에 따른 커패시터의 합금 전극의 특성은 다음과 같다.

도 3은 본 발명에 따른 합금 전극을 갖는 커패시터의 단면 및 표면 SEM 사진이다.

그리고 도 4a내지 도 4d는 합금 전극을 갖는 커패시터의 AES 깊이 프로파일이고, 도 5a와 도 5b는 BST 박막 시편에 대한 XPS 산소 성분의 깊이 프로파일이다.

Pt만을 사용하여 전극을 형성한 것과 PtRu 합금을 사용하여 전극을 형성하는 경우의 특성 차이는 다음과 같이 나타난다.

도 3은 Pt 및 PtRu(50 at%)인 경우 500°C, 600°C에서 BST를 증착하였을 경우의 그 단면 및 표면 SEM 사진으로써, 합금 전극이 Pt 전극과 갖는 가장 큰 차이는 BST 유전 박막층의 증착전 및 증착후에 하부 합금 전극층과 유전 박막 사이에 새로운 Ru 도전성 산화막이 형성된다는 것이다.

이와 같은 Ru 산화막층은 BST 박막의 증착 온도가 높을 경우 그 두께가 더욱 두꺼워지는 것을 알 수 있다.

이는 PtRu 합금을 이용하여 하부 전극을 형성하고 그위에 BST막을 형성하는 경우 증착 공정중에 PtRu 합금을 구성하는 산소가 Ru와 반응하여 Ru 산화막을 형성하는 것이다.

그리고 도 4a내지 도 4d는 PtRu 합금층상에 BST를 500°C, 600°C에서 증착한 시편에 대하여 Auger depth profiling으로 분석한 결과를 나타낸 것이다.

이는 도 3에서 관찰되는 새로운층(RuO_x층)의 성분을 알 수 있는 것으로, 도 4a는 Pt만으로 전극을 형성하고 500°C 온도에서 BST를 증착한 후의 결과를 나타낸 것이고, 도 4b는 Pt만을 전극으로 사용하고 600°C의 온도에서 BST를 증착한 후의 결과이다.

도 4c는 PtRu(50 at %)를 하부 전극을 형성하고 500°C 온도에서 BST를 증착한 후의 결과이고, 도 4d는 PtRu(50 at %)를 하부 전극으로 형성하고 600°C의 온도에서 BST를 증착한 후의 결과이다.

도 3에서 새롭게 관찰된 층은 산소와 Ru로 이루어져 있어 BST층의 증착 공정중에 Ru 산화막층이 먼저 형성된다는 것을 알 수 있다.

그리고 도 5a와 도 5b는 PtRu(50 at %)위에 증착한 BST 박막 시편에 대한 XPS 산소 성분의 깊이 프로파일을 나타낸 것으로 BST 박막의 산소 피크 위치와 Ru 산화막의 산소 피크 위치가 약간 다른 것을 알 수 있다.

즉, BST 유전 박막의 산소 피크가 530.6eV에서 나타나지만, Ru dioxide의 산소 피크 위치는 529.6eV에서 나타난다.

이는 새로이 형성된층이 RuO_x임을 의미한다.

도 5a는 500°C의 온도에서 BST를 증착한 후의 결과이고, 도 5b는 600°C의 온도에서 BST를 증착한 후의 결과이다.

이러한 피크 시프트 현상은 Ru에 대해서도 동일한 경향으로 나타난다.

이와 같은 도 3 내지 도 5의 결과에 따르면 BST 박막의 증착 공정중에 하부 합금 전극에 포함된 률질중의 하나가 산화되는 것을 알 수 있다.

포밍의 효과

이와 같은 본 발명에 따른 커패시터의 합금 전극 및 그의 형성 방법은 다음과 같은 효과가 있다.

산화되어 전도성 산화막을 형성할 수 있는 률질을 포함하는 합금으로 하, 상부 전극을 형성하여 유전 박막 증착시에 전도성 산화막이 유전 박막과의 계면에 형성되어 미세이 산소가 하부 전극 내부로 확산되는 것을 방지하여 소자의 특성을 향상시키는 효과가 있다.

또한, 상부 전극을 하부 전극과 동일한 합금층으로 형성하여 용이하게 그 표면을 산화시킬 수 있으므로 후속되는 H₂ 포밍 가스 어닐 공정시에 BST 유전 박막이 열화되는 것을 막을 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판;

상기 반도체 기판상에 후속되는 유전 박막 증착시에 자동으로 산화되는 금속 물질을 포함하는 금속 합금으로 이루어진 하부 합금 전극층;

상기 하부 합금 전극층을 구성하는 금속 물질 하나가 유전 박막 증착시에 산화되어 그 표면에 형성되는 표면 산화층;

상기 표면 산화층상에 형성되는 유전 박막층;

상기 유전 박막층상에 상기 하부 합금 전극층과 동일 물질로 형성되는 상부 합금 전극층을 포함하여 구성되는 것을 특징으로 하는 커패시터의 합금 전극.

청구항 2. 제 1 항에 있어서, 하부 합금 전극층은 PtRu 합금층 또는 PtIr이고, 그 표면 산화층은 RuO₂ 또는 IrO₂인 것을 특징으로 하는 커패시터의 합금 전극.

청구항 3. 제 1 항에 있어서, 유전 박막층은 BST인 것을 특징으로 하는 커패시터의 합금 전극.

청구항 4. 제 1 항에 있어서, 상,하부 전극을 구성하는 합금 물질은 유전 박막층 형성시에 산화되는 금속 물질을 30 ~ 50%정도의 비율로 포함하는 것을 특징으로 하는 커패시터의 합금 전극.

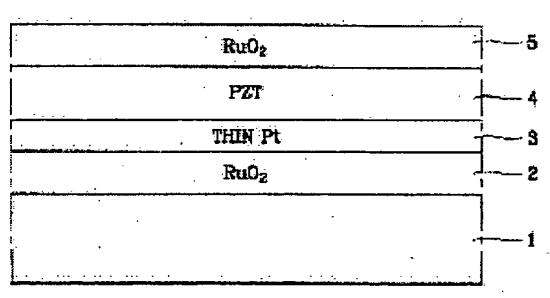
청구항 5. 반도체 기판상에 Ru가 30 ~ 50% 정도 포함된 PtRu 합금층을 하부 합금 전극층으로 형성하는 단계;

상기 하부 합금 전극층상에 BST 유전 박막층을 500 ~ 650°C 온도로 스퍼터링 공정으로 증착하여 하부 합금 전극층의 표면에 RuO₂층이 형성되도록 하는 단계;

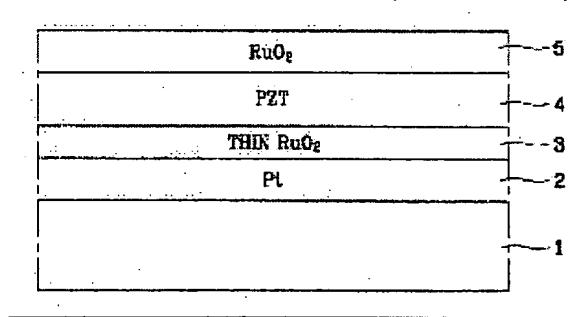
상기 BST 유전 박막층상에 상부 합금 전극층으로 PtRu 합금층을 형성하고 표면만 산화시켜는 포밍 가스 어닐 공정시에 RuO₂가 BST 유전 박막층으로 침투하지 못하도록 하는 단계를 포함하여 이루어지는 것을 특징으로 하는 커패시터 합금 전극의 형성 방법.

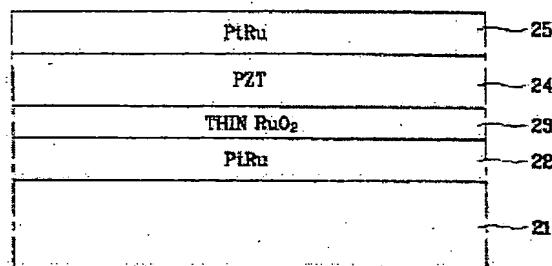
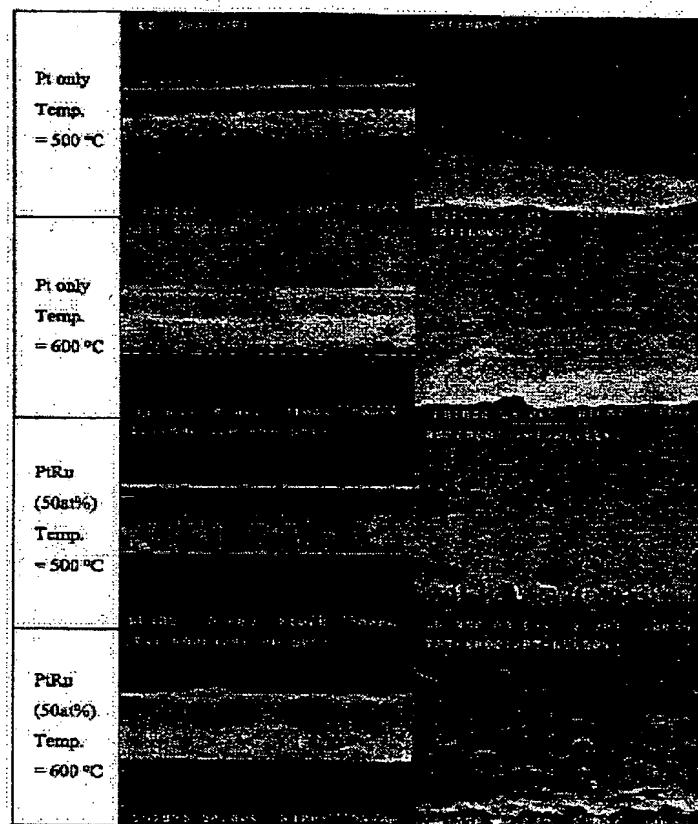
도면

도면 A



도면 B



502*503*

BEST AVAILABLE COPY

도표4

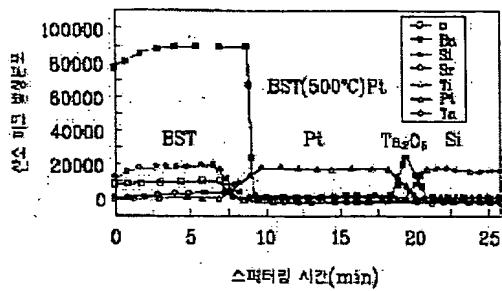


도표5

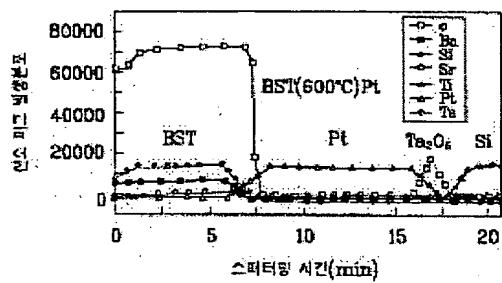


도표6

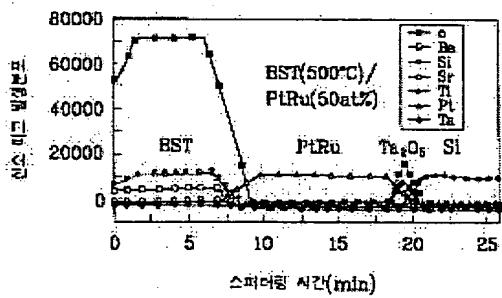
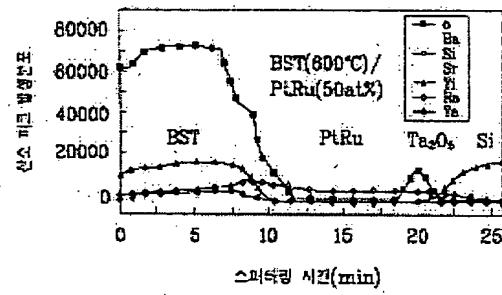
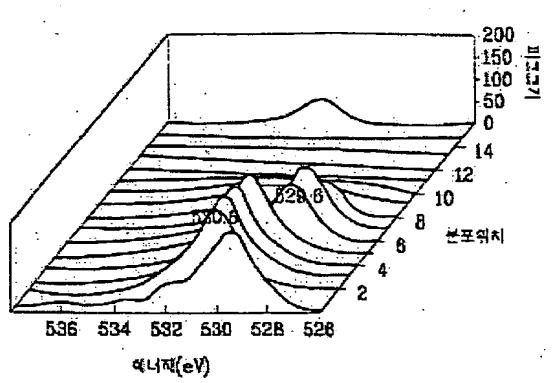


도표7



도면5



도면6

